

CARL HANSER VERLAG

Rainer Kelch

**Rechnergrundlagen
Vom Rechenwerk zum Universalrechner**

3-446-22113-1

www.hanser.de

INHALTSVERZEICHNIS

„Rechnergrundlagen: Vom Rechenwerk zum Universalrechner“

0 PROLOG: MOTIVATION UND EINLEITUNG 11



- 0.1 EVA-Prinzip 12
- 0.2 Komponenten eines Computers 13
- 0.3 Rechnerarchitektur-Ebenenmodell 14
- 0.4 Rechenfehler durch Computer 16

Teil A: Rechenwerk

KAPITEL 1: ENTWURF EINER ARITHMETISCH-LOGISCHEN EINHEIT (ALU) 18



- 1.1 Entwurf einer Schaltung für mehrere Funktionen 19
- 1.2 Parametrisierte Schaltungen 20
- 1.3 Arithmetische Einheit (AU) als Vorstufe zur ALU 21
- 1.4 Erweiterung der AU um logische Funktionen zur ALU 23

KAPITEL 2: SHIFTER-ALU 25



- 2.1 Funktionalität und Bedienung der ALU 25
- 2.2 Mikrobefehle und Mikrocode 28
- 2.3 Aufbau einer Shifter-ALU (SH-ALU) 29
- 2.4 Hinweise zum Lernprogramm „CBT-1“ (Shifter-ALU) 32

KAPITEL 3: ENTWURF EINES RECHENWERKS 33



- 3.1 Zwischenspeicher und Datenübertragungswege 33
 - 3.1.1 Registerfile und Bustechnologie 33
 - 3.1.2 Bus Arbitration Logic 36
 - 3.1.3 Timing Unit 37
- 3.2 Register-ALU (R-ALU) als Rechenwerk 39

AUFGABEN ZU TEIL A: RECHENWERK 43

Teil B: Prozessor**KAPITEL 4: STEUERWERK 47**

- 4.1 Komponenten eines Steuerwerks 48
- 4.2 Steuerwerksausbau bei der Prozessor-Entwicklung 49

KAPITEL 5: MODELLPROZESSOR 51

- 5.1 Zusammenspiel zwischen Rechenwerk und Steuerwerk 51
- 5.2 Befehlsregisterlogik 54

KAPITEL 6: PROZESSOR MIT DATENSPEICHERANBINDUNG (MEM-CPU) 55

- 6.1 Speicher-Schnittstelle (MemIF) 55
- 6.2 Busarten 56
- 6.3 Anbindung des MemIF an den Modell-Prozessor 57
- 6.4 Architektur der Prozessor-Erweiterung „Mem-CPU“ 60
- 6.5 Mikro-Befehlssequenzen der Speicher-Schnittstelle 62
- 6.6 Befehlsregisterlogik 63
- 6.7 Hinweise zum Lernprogramm „CBT-2“ (Mem-CPU) 65

AUFGABEN ZU TEIL B: PROZESSOR 66**Teil C: Universalrechner****KAPITEL 7: PROZESSOR MIT BEFEHLSPEICHERANBINDUNG (μ -CPU) 71**

- 7.1 Vom Mikrocode zum Mikroprogramm 72
- 7.2 Mit Sprungbefehlen zum Universalrechner 74
- 7.3 Speicherschnittstelle (μ -ROM-IF) 75
- 7.4 Architektur der mikroprogrammierweiten Modell-CPU (μ -CPU) 77
- 7.5 Logik und Funktion des Befehlsregisters 80

KAPITEL 8: ENTWURF VON MIKROPROGRAMMEN 83



- 8.1 Lesen und Schreiben über Registerfile, RAM und ROM 83
- 8.2 Nutzung von Sprungbefehlen für die Umsetzung von Algorithmen 83
- 8.3 Umsetzung konkreter Anforderungen in Mikroprogramme 84
 - 8.3.1 Mittelwertberechnung zweier Zahlen 85
 - 8.3.2 Multiplikation zweier Binärzahlen 86
 - 8.3.3 Summe von n einzulesenden Zahlen 91
- 8.4 Hinweise zum Lernprogramm „CBT-3“ (μ -CPU) 93



KAPITEL 9: AUFBAU UND FUNKTIONSWEISE EINES UNIVERSALRECHNERS 94



- 9.1 Speicherwerk für Daten und Befehle 94
- 9.2 Eingabe/Ausgabe-Werk 95
- 9.3 Busse: Eingabe/Ausgabe-Organisation und -Kommunikation 98
- 9.4 Architektur eines Modell-Universalrechners (μ -Comp) 101

KAPITEL 10: RECHNERARCHITEKTUREN 102



- 10.1 Von-Neumann-Architektur eines Universalrechners 102
- 10.2 Spezialrechner 104
- 10.3 Architekturen von Hardware und Befehlssätzen 105
- 10.4 CISC- und RISC-Architektur 106
- 10.5 Performance-Optimierungen durch Parallelisierung 107
- 10.6 Client/Server-Systeme 108

AUFGABEN ZU TEIL C: UNIVERSALRECHNER 110

Teil D: DVS – Datenverarbeitungssysteme

KAPITEL 11: MASCHINENPROGRAMMIERUNG MIT MAKROBEFEHLEN 111



- 11.1 Maschinencode 112
- 11.2 Arbeitsweise eines Maschinenprogramms 113
- 11.3 Aufbau eines Maschinenbefehls 114
- 11.4 Arten von Maschinenbefehlen 116

KAPITEL 12: PERIPHERIEGERÄTE FÜR DEN DIALOG MIT DEM RECHNER 118

- 12.1 Konvertierung zwischen externen und internen Daten 118
- 12.2 Struktur und Funktionsweise gängiger Eingabe-/Ausgabegeräte 118
- 12.3 Hinweise zu den Lernprogrammen „Monitore“ und „Drucker“ 119
- 12.4 Datenspeicherungsmerkmale 121
- 12.5 Speicherzugriffsarten 121
- 12.6 Zugriffslogik bei externer Datenspeicherung 122

**KAPITEL 13: KOMPLETTES DATENVERARBEITUNGSSYSTEM
(MODELL-DVS) 125**

- 13.1 Externe Eingabe, Ausgabe und Speicherung 125
- 13.2 Mensch/Maschine-Schnittstelle (M/M-IF) 127
- 13.3 Architektur eines Modell-DVS 129

AUFGABEN ZU TEIL D: DVS – DATENVERARBEITUNGSSYSTEME 130**Teil E: Steuerung des DVS (HW) durch das Betriebssystem (SW)****KAPITEL 14: BETRIEBSSYSTEM 132**

- 14.1 Definition, Aufgaben und Funktionen 132
- 14.2 Sprachen für System- und Anwendungsprogramme 134
 - 14.2.1 Maschinenunabhängige Befehle und Sprachen 134
 - 14.2.2 Vom Assembler zu höheren Programmiersprachen 135
- 14.3 Interpreter und Compiler 136

KAPITEL 15: SPEICHER- UND DATENVERWALTUNG 137

- 15.1 Speicherverwaltung mit Stackprinzip 137
- 15.2 Adressierungsarten 140
- 15.3 Speicherzugriffsoptimierung mit Cache 142
- 15.4 Daten, Dateien und Datenbanken 144

KAPITEL 16: PROZESSVERWALTUNG 147



- 16.1 Prozesszustände 148
- 16.2 Adresszuordnung 151
- 16.3 Philosophenproblem und Deadlocks 153

KAPITEL 17: PROZESSMODELLIERUNG 155



- 17.1 Darstellung paralleler Prozesse durch Petrinetze 155
- 17.2 Petrinetze – Aufbau, Funktionsweise und Regeln 157
- 17.3 Nebenläufigkeit und Synchronisation 160
- 17.4 Konflikte und deren Lösung 163
- 17.5 Simulation von Prozessabläufen 167
- 17.6 Beispiele und Anwendungen 168
- 17.7 Hinweise zum Lernprogramm „Petrinetze“ 173



AUFGABEN ZU TEIL E: STEUERUNG DES DVS DURCH DAS BETRIEBSSYSTEM 176

AUSBLICK 179

LITERATURVERZEICHNIS 180

SACHWORTVERZEICHNIS 182