

1 Verbindungsleitungen

Für die Funktion aller elektronischen Schaltungen sind Verbindungsleitungen zwischen den Bauelementen unverzichtbar. Ihre Aufgabe ist es, Signale von einem Bauelement zum nächsten zu transportieren. Diese scheinbar einfache Aufgabe entpuppt sich jedoch bei hochintegrierten Schaltungen häufig als schwieriges Problem. Die Komplexität integrierter Schaltungen wird in zunehmendem Maße durch die Verbindungsstrukturen begrenzt, weniger durch die Anzahl der Transistoren.

Der Grund für diese Entwicklung ist das atemberaubende Tempo, mit dem die Abmessungen für Transistoren verkleinert wurden. Bereits 1998 wurden Transistoren mit Kanallängen von nur $0,12\ \mu\text{m}$ in Mikroprozessoren eingesetzt. Verglichen mit den Abmessungen für Verbindungsleitungen (vgl. Tabelle 1.2) und Kontakte erscheint der Flächenbedarf für Transistoren fast belanglos. Die Transistoren können im wahrsten Sinne des Wortes unter den Verbindungsleitungen versteckt werden. Dieser Trend wird sich in den kommenden Jahren noch weiter verstärken.

Die Verbindungsstrukturen bestimmen aber nicht nur den Flächenbedarf hochintegrierter Schaltungen, sie bestimmen auch immer häufiger die Geschwindigkeit der Schaltung. Parasitäre Effekte, wie beispielsweise Leitungswiderstände oder kapazitive Kopplungen zwischen Leiterbahnen, beeinflussen die Signalübertragung und begrenzen die Bandbreite, mit der Signale übertragen werden können. So kommt es zu Signalverzögerungen, Phasenverschiebungen oder zum Übersprechen.

Dieses Kapitel beschreibt die wichtigsten Effekte im Zusammenhang mit Verbindungsleitungen in integrierten Schaltungen. Dabei sind Signalverzögerungen und Übersprechen eigene Unterkapitel gewidmet. Komplettiert wird das Kapitel durch einen Ausblick auf zukünftige Entwicklungen und eine Sammlung theoretischer und praktischer Aufgaben.

1.1 Signalverzögerung

Bei der Übertragung eines Signals, d.h. einer elektrischen Spannung, über eine Verbindungsleitung kommt es zu Signalverzögerungen. Grund dafür sind parasitäre Widerstände und Kapazitäten, die aus den Materialeigenschaften der Verbindungsleitungen

resultieren. Induktivitäten spielen bei der Signalübertragung (noch) keine wichtige Rolle, da nur sehr geringe Ströme geschaltet werden. Bei den Versorgungsnetzen, d.h. Masse und Versorgungsspannung, gilt dies nicht mehr und Induktivitäten müssen hier berücksichtigt werden.

1.1.1 Parasitäre Widerstände

Der parasitäre Widerstand einer Verbindungsleitung wird durch die Geometrie und Materialeigenschaften bestimmt. Für eine Leitung mit der Materialkonstanten ρ , der Länge l , der Weite w und der Dicke d , wie sie in Abbildung 1.1 dargestellt ist, kann der elektrische Widerstand folgendermaßen bestimmt werden:

$$R = \frac{\rho \cdot l}{w \cdot d} \quad (1.1)$$

Die Konstante ρ beschreibt dabei den spezifischen elektrischen Widerstand. In der Praxis werden Metalle, beispielsweise Aluminium, Kupfer oder Wolfram, wegen ihres geringen spezifischen Widerstands für Verbindungsleitungen eingesetzt. Neben Metallen wird auch polykristallines Silizium als Leiter eingesetzt, das aber einen wesentlich größeren spezifischen Widerstand hat.

Tabelle 1.1 gibt die spezifischen Widerstände für typische Materialien in integrierten Schaltungen an. Die hier angegebenen Werte beschreiben den Widerstand einer Verbindungsleitung vom 1 m Länge und einem Querschnitt von $1 \mu\text{m}^2$. Es ist offensichtlich, dass Kupfer sich für Verbindungsleitungen aus Sicht des spezifischen Widerstands am Besten eignet. Die Herstellung solcher Verbindungen in integrierten Schaltungen ist jedoch schwierig, was die weite Verbreitung von Aluminium erklärt.

Tabelle 1.2 zeigt die verschiedenen Materialien und die minimalen Geometrien für Verbindungsleitungen im IBM PC750- und AMD K6-2-Mikroprozessor [12]. Der IBM PC750-Mikroprozessor wird mit sieben Metalllagen aus Kupfer bzw. Wolfram und minimalen Transistorkanälen von $0,12 \mu\text{m}$ gefertigt. Der AMD K6-2-Prozessor hat nur sechs Metalllagen aus Aluminium und Wolfram sowie minimalen Transistorkanälen von $0,2 \mu\text{m}$.

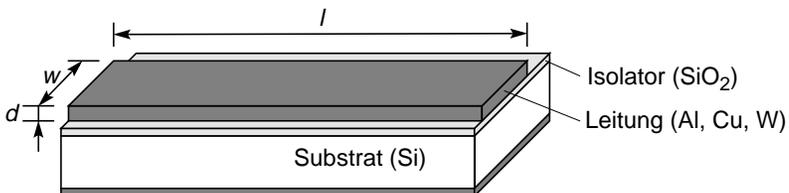


Abbildung 1.1: Verbindungsleitung in einer integrierten Schaltung

Beispiel

Es soll der parasitäre Widerstand einer Verbindungsleitung in der vierten Metalllage für die beiden Prozessoren IBM PC750 und AMD K6-2 berechnet werden. Angenommen wird eine vergleichsweise große Länge von $l = 5 \text{ mm}$, eine prozessbedingte Dicke d und eine minimale Weite w (vgl. Tabelle 1.2). Mit den spezifischen Widerständen aus Tabelle 1.1 ergeben sich dann folgende Widerstände:

$$R_{\text{IBM}} = \frac{\rho_{\text{Cu}} \cdot l}{d_{\text{IBM}} \cdot w_{\text{IBM}}} = \frac{17000 \cdot \frac{\Omega \cdot \mu\text{m}^2}{\text{m}} \cdot 5 \cdot 10^{-3} \text{ m}}{0,60 \mu\text{m} \cdot 0,40 \mu\text{m}} = 354 \Omega \quad (1.2)$$

$$R_{\text{AMD}} = \frac{\rho_{\text{Al}} \cdot l}{d_{\text{AMD}} \cdot w_{\text{AMD}}} = \frac{27000 \cdot \frac{\Omega \cdot \mu\text{m}^2}{\text{m}} \cdot 5 \cdot 10^{-3} \text{ m}}{0,95 \mu\text{m} \cdot 0,40 \mu\text{m}} = 355 \Omega \quad (1.3)$$

| | $\rho \left[\frac{\Omega \cdot \mu\text{m}^2}{\text{m}} \right]$ |
|----------------|---|
| Aluminium (Al) | 27 000 |
| Kupfer (Cu) | 17 000 |
| Wolfram (W) | 55 000 |

Tabelle 1.1: Spezifischer elektrischer Widerstand ρ üblicher Leitermaterialien

| Ebene | IBM PC750 | | | AMD K6-2 | | |
|----------|----------------------------------|-------------------------|----------|----------------------------------|-------------------------|----------|
| | minimale Weite [μm] | Dicke [μm] | Material | minimale Weite [μm] | Dicke [μm] | Material |
| Metall 7 | 0,90 | 1,25 | Cu | - | - | - |
| Metall 6 | 0,90 | 1,20 | Cu | 2,10 | 2,10 | Al |
| Metall 5 | 0,50 | 0,65 | Cu | 0,55 | 0,80 | Al |
| Metall 4 | 0,40 | 0,60 | Cu | 0,40 | 0,95 | Al |
| Metall 3 | 0,40 | 0,45 | Cu | 0,40 | 0,90 | Al |
| Metall 2 | 0,35 | 0,50 | Cu | 0,40 | 0,80 | Al |
| Metall 1 | 0,25 | 0,55 | W | 0,25 | 0,80 | W |

Tabelle 1.2: Minimale Abmessungen des IBM PC750 und AMD K6-2 [12]

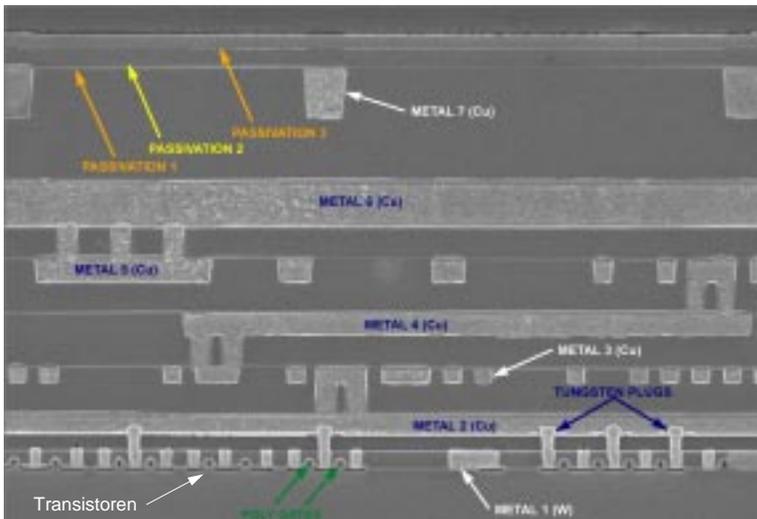


Abbildung 1.2: Querschnitt eines Chips (IBM PC750 [12])

Obwohl die Leitungsdicke der vierten Metallebene beim IBM PC750 nur 63 % der entsprechenden Dicke des AMD K6-2 beträgt, sind die parasitären Widerstände nahezu identisch. Dies wird durch den Einsatz von Kupfer anstatt von Aluminium als Leitermaterial erreicht.

Abbildung 1.2 zeigt einen Querschnitt durch den IBM PC750, um die Dimensionen der unterschiedlichen Leiterbahnen zu veranschaulichen. In der untersten Ebene sind auch die Transistoren zu erkennen. Dieses Bild veranschaulicht, warum die Komplexität moderner Schaltungen immer mehr durch die Verbindungsstrukturen und weniger durch die Transistoren begrenzt wird.

Abbildung 1.3 zeigt die siebte Metallebene des IBM PC750 im Detail. Es sind drei gegeneinander isolierte Metallleitungen zu erkennen. Bei genauer Betrachtung erkennt man, dass sich zwischen dem Leiter (Cu) und dem Isolator (Glas) noch eine dünne Schicht Tantalum-Nitrid befindet. Solche Barrieren zwischen Leiter und Isolator werden aus prozesstechnischen Gründen benutzt. Für eine sehr genaue Berechnung der parasitären Widerstände müsste diese Schicht berücksichtigt werden.

Um die Berechnung zu vereinfachen, wird in der Praxis statt des spezifischen Widerstands der sog. Flächenwiderstand R benutzt:

$$R = \frac{\rho}{d} \quad (1.4)$$

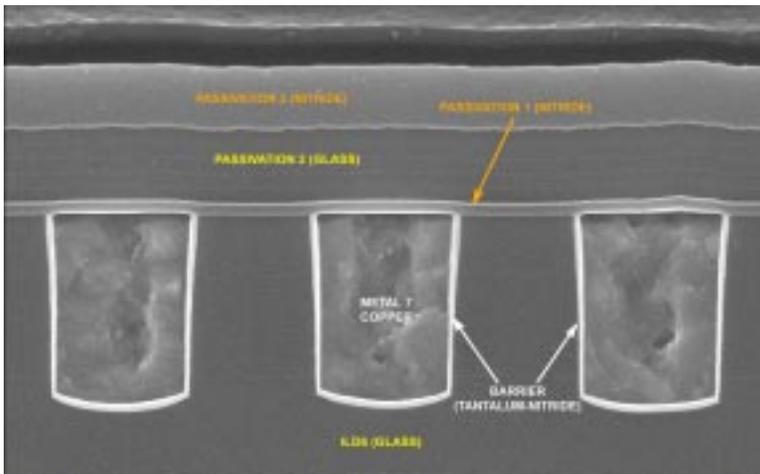


Abbildung 1.3: Detailaufnahme einer Leitung (IBM PC750 [12])

Da der spezifische Widerstand und die Dicke einer Metallebene durch den Herstellungsprozess fest vorgegeben sind, ist der Flächenwiderstand eine Konstante, die sehr leicht im Labor gemessen werden kann. In diese Messung geht dann automatisch auch die Leitfähigkeit der Barrieren ein. Der parasitäre Widerstand einer Leitung der Länge l und der Weite w ergibt sich dann zu:

$$R = R_{\text{fläch}} \cdot \frac{l}{w} \quad (1.5)$$

Neben mehreren Metallebenen benutzen Logikschaltkreise in der Regel auch eine Ebene Poly-Silizium, um lokale Verbindungen und Transistor-Gates zu realisieren. In DRAMs findet man sogar bis zu fünf Ebenen Poly-Silizium, z.B. Samsung 128 Mbit DRAM. Da der Flächenwiderstand von Poly-Silizium um drei Größenordnungen größer ist als der metallischer Leiter, eignen sich Poly-Silizium-Leitungen nur für sehr kurze Verbindungen.

Beispiel

Es soll der parasitäre Widerstand einer Poly-Silizium-Leitung berechnet werden. Um einen Vergleich mit den metallischen Leitern aus dem vorangegangenen Beispiel zu erlauben, wird eine (unrealistische) Länge von $l = 5 \text{ mm}$ und eine Weite von $w = 0,4 \text{ mm}$ angenommen. Typische Werte für den Flächenwiderstand von Poly-Silizium sind $R_{\text{fläch}} = 20 \dots 50 \text{ } \Omega$. Für einen Flächenwiderstand von $R_{\text{fläch}} = 20 \text{ } \Omega$ ergibt sich dann der parasitäre Widerstand zu:

$$R = R_{\text{fläch}} \cdot \frac{l}{w} = 20 \text{ } \Omega \cdot \frac{5000 \text{ } \mu\text{m}}{0,40 \text{ } \mu\text{m}} = 250 \text{ k}\Omega \quad (1.6)$$

Vergleicht man diesen Widerstand mit den parasitären Widerständen metallischer Verbindungen (vgl. Gl. 1.2, Gl. 1.3), so wird deutlich, dass Poly-Silizium nur für kurze Verbindungen von wenigen μm Länge zwischen benachbarten Transistoren geeignet ist.

1.1.2 Parasitäre Kapazitäten

Verbindungsleitungen haben nicht nur einen parasitären Widerstand, sie haben auch eine parasitäre Kapazität. Die Kapazität bildet sich zwischen Verbindungsleitung und Substrat, da beide durch ein Dielektrikum (z.B. SiO_2) voneinander getrennt sind (vgl. Abbildung 1.4). In erster Näherung kann die Kapazität mit der Formel für den Plattenkondensator berechnet werden. Sei l die Länge der Leiterbahn, w die Weite und d_{ox} die Dicke des Dielektrikums, so berechnet sich die elektrische Kapazität mit der elektrischen Feldkonstanten ϵ_0 und der relativen Permittivität des Dielektrikums ϵ_r wie folgt:

$$C = \frac{\epsilon_0 \cdot \epsilon_r \cdot l \cdot w}{d_{ox}} \quad (1.7)$$

Analog zum parasitären Widerstand wird in der Praxis häufig mit der Flächenkapazität gerechnet, die alle durch den Herstellungsprozess bestimmten Größen in einer Konstanten zusammenfasst und im Labor messtechnisch bestimmt werden kann.

$$C = \frac{\epsilon_0 \cdot \epsilon_r}{d_{ox}} \quad (1.8)$$

Ausgehend von der Flächenkapazität kann dann die parasitäre Kapazität einer Verbindungsleitung einfach aus der Geometrie (Länge l und Weite w) abgeleitet werden:

$$C = C \cdot l \cdot w \quad (1.9)$$

Die Berechnung der Kapazität mit der Formel für den Plattenkondensator ist eine grobe Abschätzung, da angenommen wird, dass Anode und Kathode deckungsgleich übereinanderliegen. Diese Voraussetzung gilt jedoch nicht bei integrierten Schaltkreisen. Das

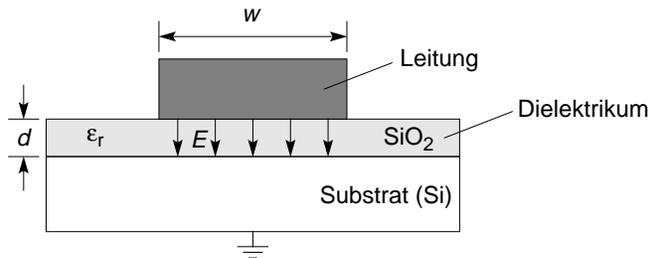


Abbildung 1.4: Parasitäre Kapazität einer Verbindungsleitung

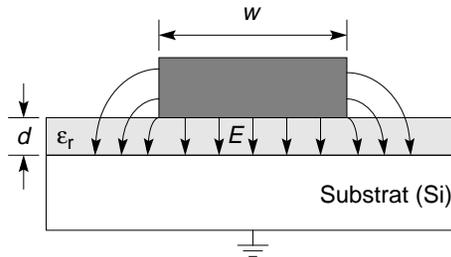


Abbildung 1.5: Randkapazität einer Verbindungsleitung

Substrat ist viel größer als die Verbindungsleitung, wodurch sich ein elektrisches Feld nicht nur zwischen Leiterunterseite und Substrat, sondern auch zwischen den Seiten der Verbindungsleitung und dem Substrat ausbildet (vgl. Abbildung 1.5). Dies führt zu sog. Randkapazitäten, die bei Leiterbahnen mit großem d/w -Verhältnis nicht vernachlässigt werden können

In modernen Herstellungsprozessen übersteigt die Dicke der Verbindungen häufig die Weite. Für den AMD K6-2-Prozessor in Tabelle 1.2 übersteigt beispielsweise die Dicke von $0,95 \mu\text{m}$ der vierten Metallebene die minimale Weite von $0,40 \mu\text{m}$ um 138 %.

Genauer lassen sich parasitäre Kapazitäten mit der empirisch ermittelten Formel 1.10 berechnen [16]. Der erste Term beschreibt die Kapazität des Plattenkondensators, die um 15 % vergrößert wird durch Randkapazitäten an der Unterseite der Verbindungsleitung. Der zweite Term beschreibt die Randkapazitäten an den Seiten der Verbindungsleitung.

$$C = \epsilon_0 \cdot \epsilon_r \cdot \left[1,15 \cdot \left(\frac{w}{d_{\text{ox}}} \right) + 2,28 \cdot \left(\frac{d}{d_{\text{ox}}} \right)^{0,222} \right] \cdot l \quad (1.10)$$

Beispiel

Es soll die parasitäre Kapazität einer langen Verbindungsleitung in der ersten Metalllage des IBM PC750 berechnet werden. Angenommen wird eine Länge von $l = 5 \text{ mm}$, eine Weite von $w = 0,25 \mu\text{m}$, eine Dicke von $d = 0,55 \mu\text{m}$ und eine SiO_2 Isolationsschicht mit $d_{\text{ox}} = 0,25 \mu\text{m}$, $\epsilon_0 = 8,854 \cdot 10^{-18} \text{ F}/\mu\text{m}$ und $\epsilon_r = 3,8$.

Unter Vernachlässigung der Randkapazitäten berechnet sich die parasitäre Kapazität dann wie folgt:

$$C = \epsilon_0 \cdot \epsilon_r \cdot \frac{l \cdot w}{d_{\text{ox}}} = 8,854 \cdot 10^{-18} \cdot \frac{\text{F}}{\mu\text{m}} \cdot 3,8 \cdot \frac{5000 \mu\text{m} \cdot 0,25 \mu\text{m}}{0,25 \mu\text{m}} = 168 \text{ fF} \quad (1.11)$$

Wird die Randkapazität berücksichtigt, so gilt für die Flächenkapazität näherungsweise: