

Kapitel 4

Audio-Verarbeitungssysteme

Zur zeitdiskreten Signalverarbeitung werden digitale Signalprozessoren eingesetzt, deren Architektur und Befehlssatz auf die Echtzeitumgebung und die Signalverarbeitungsalgorithmen angepasst sind. Die digitalen Signalprozessoren von verschiedenen Herstellern und die Einbindung in Anwendungsschaltungen werden diskutiert. Die Beschränkung auf die Architektur und die Anwendungsschaltungen sollen dem Anwender die Auswahlkriterien liefern, die für seine spezielle Applikation notwendig sind. Aus den architektonischen Randbedingungen der Prozessoren ergeben sich automatisch die Vorzüge eines speziellen Prozessors hinsichtlich der schnellen Ausführung von Algorithmen (Digitale Filter, adaptive Filter, schnelle Transformationen etc.). Auf die Programmiermethoden und Applikationsprogramme wird daher nur bedingt eingegangen, da man in den entsprechenden Herstellerunterlagen genügend Informationen in Form von Beispielprogrammen zu den oben aufgeführten Algorithmen erhält. Eine erweiterte Einführung in digitale Signalprozessoren findet sich in [Dob00].

Nach einer Abgrenzung der digitalen Signalprozessoren zu anderen Mikrorechnern werden in den einzelnen Abschnitten folgende Themen behandelt:

- Festkomma-Signalprozessoren
- Gleitkomma-Signalprozessoren
- Digitale Audio-Schnittstellen
- Einprozessor-Systeme
(Peripheriekonzepte, Steuerungskonzepte)
- Mehrprozessor-Systeme
(Kopplungskonzepte, Steuerungskonzepte)

Der interne Aufbau von Mikrorechnern folgt grundsätzlich zwei Architekturen. Zum einem der *von Neumann*-Architektur, die einen gemeinsamen internen Programm- und

Datenbus nutzt, und zum anderen der *Harvard*-Architektur, die eine Trennung des internen Programm- und Datenbusses vorsieht. Die aus diesen Architekturen abgeleiteten Prozessortypen sind die CISC-Prozessoren, die RISC-Prozessoren und die digitalen Signalprozessoren (DSP), deren Merkmale in Tabelle 4.1 angegeben sind.

Tabelle 4.1 CISC, RISC und DSP

Typ	Eigenschaften
CISC	Complex Instruction Set Computer o von Neumann-Architektur o Assemblerprogrammierung o Große Anzahl von Maschinenbefehlen o Rechnerfamilien o Compiler o Einsatzgebiet: Universelle Mikrorechnertechnik
RISC	Reduced Instruction Set Computer o von Neumann-Architektur/Harvard-Architektur o Anzahl der Maschinenbefehle < 50 o Anzahl der Adressierungsarten < 4, Befehlsformate < 4 o festverdrahtete Maschinenbefehle (keine Mikroprogrammierung) o Ausführung der meisten Befehle in einem Taktzyklus o Optimierende Compiler für höhere Programmiersprachen o Einsatzgebiet: Workstation
DSP	Digital Signal Processor o Harvard-Architektur o mehrere interne Datenbusse o Assemblerprogrammierung o Parallele Ausführung von mehreren Befehlen in einem Taktzyklus o Optimierende Compiler für höhere Programmiersprachen o Echtzeitbetriebssysteme o Einsatzgebiet: Echtzeit-Signalverarbeitung

Neben den im Überblick aufgeführten internen Eigenschaften der digitalen Signalprozessoren besitzen sie spezielle periphere Interface-Möglichkeiten, die auf die Aufgaben der schnellen Signalverarbeitung zugeschnitten sind. Die schnelle Reaktion auf externe Interrupts erlaubt erst die Nutzung von *Echtzeitbetriebssystemen*, da hier der Begriff der Echtzeit eng mit der Abtastrate des zu verarbeitenden Prozesses zusammenhängt.

4.1 Digitale Signalprozessoren

4.1.1 Festkomma-Signalprozessoren

Die zeit- und wertediskreten Ausgangssignale eines linear quantisierenden AD-Umsetzers werden üblicherweise in einem Zweier-Komplement-Zahlenformat dargestellt. Die Verarbeitung dieser Zahlenfolgen wird entweder mit einer Festkomma-Arithmetik oder mit einer Gleitkomma-Arithmetik durchgeführt. Die Ausgabe eines verarbeiteten Signals erfolgt wieder in Zweier-Komplementdarstellung an den DA-Umsetzer. Die vorzeichenbehaftete fraktionale Darstellung (Zweier-Komplement, Signed Fractional) ist die übliche Form für Algorithmen in Festkomma-Arithmetik. Zur Adressierung und bei Modulo-Operationen verwendet man die vorzeichenlose Dualzahl (Unsigned Integer). In Bild 4.1 ist das Blockschaltbild eines typischen Festkomma-Prozessors dargestellt.

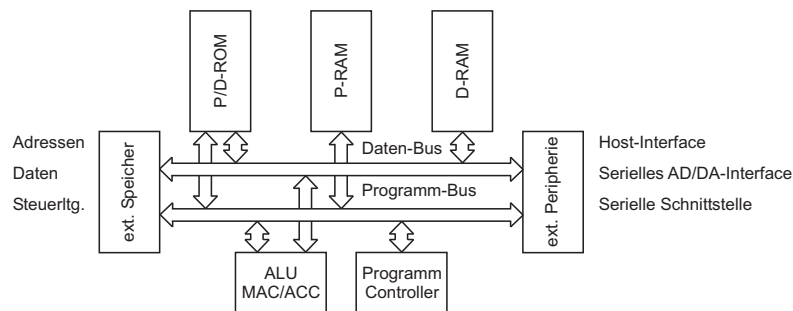


Bild 4.1 Blockschaltbild eines Festkomma-Prozessors

Die Grundbausteine sind ein Programm-Controller, eine arithmetisch logische Einheit (ALU) mit einem Multiplizierer-Akkumulator (MAC), Speicherbereiche und diverse Schnittstellen zu externen Speichern und externer Peripherie, die über ein internes Bussystem miteinander verbunden sind. Das interne Bussystem zeichnet sich durch eine Trennung von Programm- und Datenbus aus. Der Datenbus selbst kann sich aus mehreren parallelen Bussen zusammensetzen, um beispielsweise die beiden Operanden eines Multiplikationsbefehls dem MAC parallel zu übertragen. Der interne Speicherbereich gliedert sich in Programm- und Daten-RAM und zusätzlichem ROM-Speicher, in dem Tabellen abgelegt sind. Dieser interne Speicher erlaubt eine schnelle Abarbeitung der internen Programme und Daten. Zur Erweiterung des Speicherbereichs sind Adress-/Steuer- und Datenleitungen zum externen Anschluss von Speichern in Form von EPROM, ROM und RAM nach außen geführt. Die Ankopplung dieses externen Bussystems an die interne Bus-Architektur ist maßgeblich entscheidend für die effiziente Abarbeitung von externen Programmteilen und der Verarbeitung von externen Daten.

Zur Ankopplung von seriell arbeitenden AD/DA-Umsetzern existieren spezielle serielle Schnittstellen mit hoher Übertragungsrate. Einige Prozessoren unterstützen darüberhinaus die serielle Ankopplung einer RS232-Schnittstelle. Die Steuerung von einem

Mikroprozessor kann ebenso über eine Host-Schnittstelle mit einer Wortbreite von 8 Bit erfolgen.

Einen Überblick der Signalprozessoren mit Festkomma-Arithmetik unter den Gesichtspunkten der Wortbreite, des Prozessortaktes, der Zykluszeit und der Rechenleistung (in MMACS¹) gibt die Tabelle 4.2. Grundsätzlich ist die doppelt genaue Arithmetik mit jedem der aufgeführten Prozessoren durchführbar, wenn Quantisierungseffekte die Stabilität und die numerische Genauigkeit des eingesetzten Algorithmus beeinflussen. Die Zykluszeit im Zusammenhang mit der Ausführungszeit (in Prozessorzyklen) eines kombinierten Multiplikations- und Akkumulationsbefehls gibt Aufschluss über die Rechenleistung des entsprechenden Prozessortypen. Während die Zykluszeit direkt aus der maximalen Taktfrequenz resultiert, hängt die Befehlsausführungszeit maßgeblich von der internen Programm- und Datenbus-Struktur sowie von der externen Speicheranbindung des Prozessors ab.

Tabelle 4.2 Festkomma-Signalprozessoren (Analog Devices AD, Texas Instruments TI, Motorola MOT, Agere Systems AG)

Typ	Wortbreite	Takt/Zykluszeit MHz/ns	Rechenleistung MMACS
ADSP-BF533	16	756 / 1,3	1512
ADSP-BF561	16	756 / 1,3	3024
ADSP-T201	32	600 / 1,67	4800
TI-TMS320C6414	16	1000 / 1	4000
MOT-DSP56309	24	100 / 10	100
MOT-DSP56L307	24	160 / 6,3	160
AG-DSP16410 x 2	16	195 / 5,1	780

Der schnelle Zugriff auf den externen Programm- und Datenspeicher ist insbesondere bei aufwendigen Algorithmen und großen zu bearbeitenden Datenmengen von Bedeutung. Desweiteren ist die Ankopplung von seriellen Datenverbindungen mit AD-/DA-Umsetzern und die Steuerung von einem übergeordneten Rechner über ein spezielles Host-Interface zu beachten. Hierdurch werden aufwendige Interface-Schaltungen vermieden. Für Stand-Alone-Lösungen bietet sich das Booten aus einem einfachen externen EPROM an.

Für die Signalverarbeitungsalgorithmen sind insbesondere die folgenden Software-Befehle MAC (multiply and accumulate, kombinierter Multiplikations- und Akkumulationsbefehl), mit Bit-Reverse/Modulo Adressierung (für FFT, Fensterung, FIR/IIR-Filter) wichtig. Die unterschiedlichen Signalprozessoren besitzen verschiedene Ausführungszeiten für eine FFT-Realisierung. Neuere Signalprozessoren mit verbesserter Architektur zeichnen sich durch schnellere Ausführungszeiten aus. Die Instruktionszyklen für den kombinierten Multiplikations- und Akkumulationsbefehl (Anwendung: Fensterung, FIR/IIR-Filterung) sind bei den verschiedenen Prozessoren annähernd

¹Million Multiply and Accumulations per Second

gleich, wobei auf die veränderten Ausführungszeiten bei externen Operanden geachtet werden muss.

4.1.2 Gleitkomma-Signalprozessoren

Das Blockschaltbild eines typischen Gleitkomma-Prozessors zeigt Bild 4.2. Die wesentlichen äußeren Architekturmerkmale sind zum einen die Dual-Port-Konzepte und zum anderen die externe *Harvard*-Architektur. Die Gleitkomma-Signalprozessoren besitzen intern mehrfach vorhandene Bussysteme, um die Datentransfers zur Recheneinheit zu beschleunigen. On-Chip-DMA-Controller und Cache-Speicher unterstützen die erhöhten Transferdatenraten. Eine Übersicht der Gleitkomma-Signalprozessoren ist in Tabelle 4.3 wiedergegeben (Rechenleistung in MFLOPS²). Neben der standardisierten Gleitkomma-Darstellung IEEE-754 existieren herstellerspezifische Darstellungen, die aber per Software auf das Standardformat gebracht werden können.

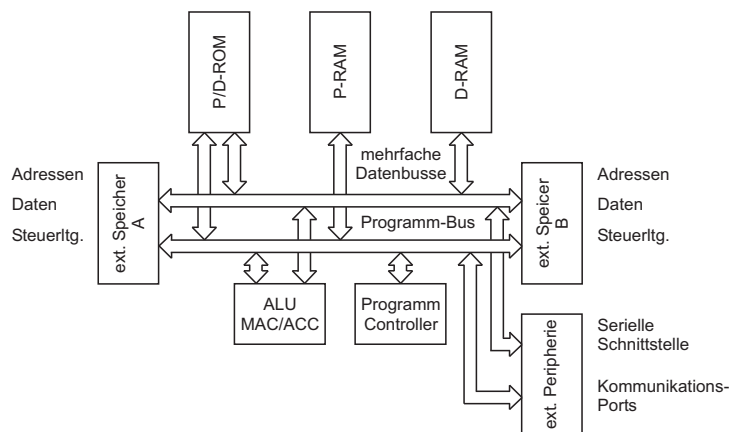


Bild 4.2 Blockschaltbild eines Gleitkomma-Signalprozessors

Tabelle 4.3 Gleitkomma-Signalprozessoren (Analog Devices AD, Texas Instruments TI)

Typ	Wortbreite	Takt/Zykluszeit MHz/ns	Rechenleistung MFLOPS
ADSP 21364	32	300 / 3,3	1800
ADSP 21267	32	150 / 6,6	900
ADSP-21161N	32	100 / 10	600
TI-TMS320C6711	32	200 / 5	1200

²Million Floating Point Operations per Second

4.2 Digitale Audio-Schnittstellen

Zum Datentransfer von digitalen Audiosignalen sind zwei Übertragungsnormen von der AES (Audio Engineering Society) und der EBU (European Broadcasting Union) standardisiert. Das sind zum einen eine Zweikanal-Übertragung [AES92] und zum anderen eine Mehrkanal-Übertragung [AES91] mit bis zu 56 Audiosignalen.

4.2.1 Zweikanalige AES/EBU-Schnittstelle

Bei der zweikanaligen AES/EBU-Schnittstelle wird zwischen einem professionellen Modus und einem Consumer-Modus unterschieden. Der äußere Rahmen ist für beide Modi identisch und ist in Bild 4.3 dargestellt. Für ein Abtastintervall wird ein Frame definiert.

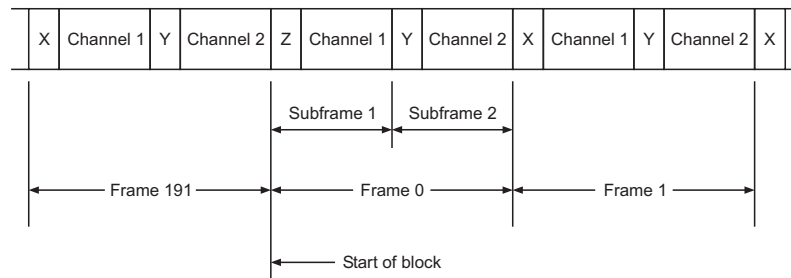


Bild 4.3 Zweikanal-Rahmenformat (Frame) und Blockbildung

niert, der sich aus zwei Subframes für Kanal 1 mit der Präambel X und für Kanal 2 mit der Präambel Y zusammensetzt. Insgesamt 192 Frames bilden einen Block, dessen Blockstart durch eine spezielle Präambel Z gekennzeichnet ist.

Die Bit-Zuweisung eines Subframes bestehend aus 32 Bit ist in Bild 4.4 wiedergegeben. Die Präambel setzt sich aus 4 Bit (Bit 0...3) und das Audio-Datenwort aus bis zu 24 Bit (Bit 4...27) zusammen. Die letzten 4 Bit des Subframes kennzeichnen Validity (Gültigkeit des Datenwortes oder Fehler), User Status (vom Anwender nutzbares Bit), Channel Status (aus den 192 Bits/Block=24 Bytes codierte Status-Information für den Kanal) und Parity (gerade Parität).

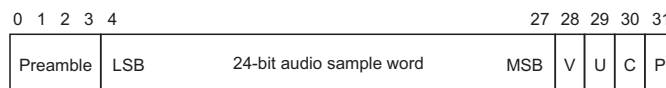


Bild 4.4 Zweikanal-Format (Subframe)

Die Übertragung des seriellen Datenstromes erfolgt mit einer Biphas-Codierung, die durch eine XOR-Verknüpfung eines Taktsignals (2-fache Bit-Taktrate) mit den seriellen Datenbits durchgeführt wird (Bild 4.5). Die Taktrückgewinnung am Empfänger wird